

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent

Customer No. 31561
Application No.: 10/707,164
Docket No. 11906-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chien et al.
Application No. : 10/707,164
Filed : November 25, 2003
For : INTEGRATED CIRCUIT AND METHOD FOR
SIMULATING AND TRIMMING THEREOF
Examiner :
Art Unit : 2825

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092125864, filed on: 2003/09/19.

A return prepaid postcard is also included herewith.

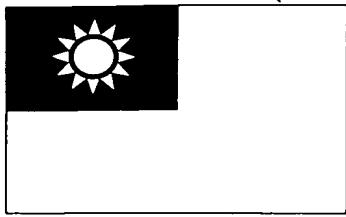
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: April 13, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 09 月 19 日
Application Date

申 請 案 號：092125864
Application No.

申 請 人：凌越科技股份有限公司
Applicant(s)

局 長

Director General

蔡 緯 生

A large, dark, inked signature of the Director General,蔡 緯 生, is placed here.

發文日期：西元 2004 年 1 月 6 日
Issue Date

發文字號：09320015870
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有模擬修整的積體電路和其模擬與修整方法
	英文	CIRCUITRY AND METHOD OF A IC HAVING THE SIMULATIVE TRIMMING
二、 發明人 (共2人)	姓名 (中文)	1. 簡丞星 2. 宋尤昱
	姓名 (英文)	1. Chien Cheng-Hsing 2. Sung-Yu Yu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹北市文昌街50號 2. 新竹科學園區展業一路10號5樓
	住居所 (英文)	1. No. 50, Wunchang St., Jhubei City, Hsinchu County 302, Taiwan (R. O. C.) 2. 5F., No. 10, Prosperity Rd. 1, Science-Based Industrial Park,
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 凌越科技股份有限公司
	名稱或 姓名 (英文)	1. TOPRO Technology Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學園區展業一路10號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 5F., No. 10, Prosperity Rd. 1, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 林明觀
代表人 (英文)	1. Ming-Guan Lin	



四、中文發明摘要 (發明名稱：具有模擬修整的積體電路和其模擬與修整方法)

一種具有模擬修整的積體電路(Integrated Circuit, IC)和其模擬與修整方法，此積體電路包含主要電路、多工器、修整電路及模擬裝置，模擬裝置可模擬修整電路的動作，在模擬修整時，可依據積體電路的電氣特性送出模擬訊號，暫時改變積體電路的電氣特性，可讓設計者預估積體電路經過修整後的電氣特性，是否符合要求。

伍、(一)、本案代表圖為：第_____4_____圖

(二)、本案代表圖之元件代表符號簡單說明：

240：積體電路

241：主要電路

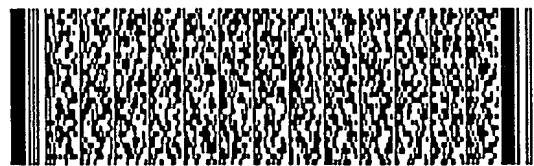
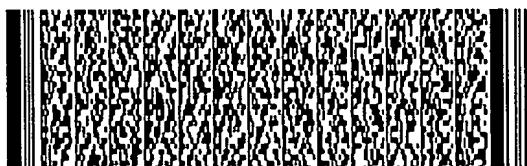
242：多工器

243：修整電路

244：模擬裝置

六、英文發明摘要 (發明名稱：CIRCUITRY AND METHOD OF A IC HAVING THE SIMULATIVE TRIMMING)

A circuitry of an IC having the simulative trimming comprises a main circuit, a multiplexer, a trimming circuit and a stimulation device. The stimulation device can simulate the action of the trimming. In the trimming step, the stimulation device sends the stimulation signal in accordance with the electrical character of the IC. The stimulation signal change the electrical character



四、中文發明摘要 (發明名稱：具有模擬修整的積體電路和其模擬與修整方法)

六、英文發明摘要 (發明名稱：CIRCUITRY AND METHOD OF A IC HAVING THE SIMULATIVE TRIMMING)

of the IC temporarily, that can make engineer predict the electrical character whether filling the bell easily.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

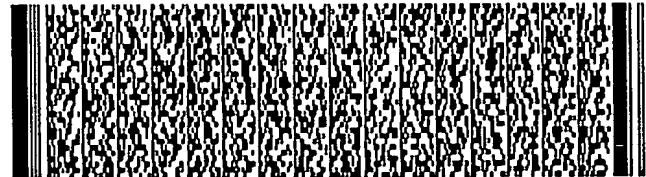
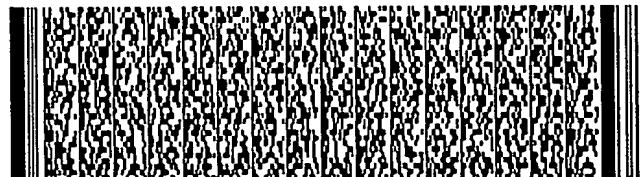
本發明是有關於一種積體電路，且特別是有關於一種具有模擬修整的積體電路和其模擬與修整方法。

先前技術

積體電路(Integrated Circuit, IC)在製程時，會因為很多製程上的原因，導致了電氣特性的漂移。如原先希望輸出電壓為1.2V，結果最後量測出來的結果為1.25V或是1.15V。而這種電氣特性的漂移，在設計電路上，往往產生了許多的不確定性。所以要如何降低電氣漂移的因素，除了在製造積體電路的程序上，繼續求進步，還有一個亡羊補牢的做法，就是藉由修整(trimming)的步驟，來調整漂移的電氣特性。

習知修整的技術，不外乎多晶矽保險絲(Poly fuse)或是雷射燒斷(Laser Cut)兩種方式。在Poly fuse的技術中，會在積體電路主要的電路上耦接一個修整電路，這個修整電路內用多晶矽(Poly-Silicon)做為連接。當要調整積體電路的電氣特性時，只要加大電流，將修整電路內的多晶矽燒毀，改變其電路結構，就可以改變積體電路的電氣特性得到所需要的值。而Laser cut的方法也是一樣，只是用金屬代替多晶矽，燒毀金屬的時候不是用電流，而是用雷射，一樣能使積體電路的電氣特性改變。

請參照第1圖，係繪示習知的修整積體電路電氣特性的方塊圖。測試裝置110連接積體電路120，可以量測其電氣特性。積體電路120內部包括主要電路121及修整電



五、發明說明 (2)

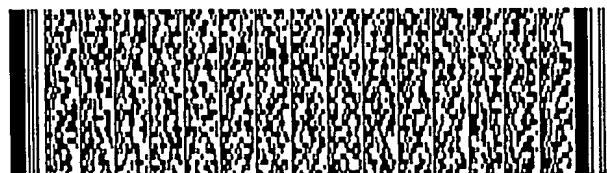
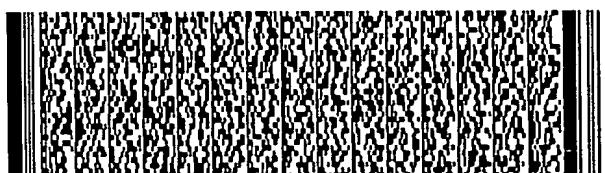
路122，兩個電路互相耦接。請同時參照第2圖，其繪示習知的修整積體電路電氣特性方法的流程圖。當要修整積體電路120時如第2圖步驟之S101所示，測試裝置110量測積體電路120的電氣特性。如第2圖之步驟S102所示，依積體電路120的電氣特性會得到修整的參數值。接著如第2圖之步驟S103所示，依據修整參數進行修整操作，也就是用雷射或是加大電流的方式，改變修整電路122的電路結構，使得積體電路120的電氣特性改變。最後再如第2圖之步驟S104所示，量測修整後積體電路120的電氣特性，也就是最終固定後的電氣特性。

習知的技術有一個缺點，就是操作人員只能憑推論的方式，預測修整後積體電路的電氣特性。一般若是推論錯誤，修整後的積體電路之電氣特性已經固定，此積體電路就報廢為不良品，使的積體電路的良率下降，並且浪費時間和成本。

發明內容

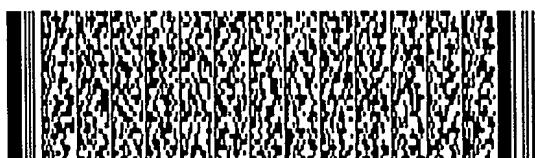
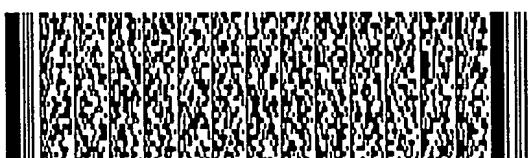
有鑑於此，本發明的目的就是在提供一種具有模擬修整的積體電路和其模擬與修整方法。在積體電路的電氣特性不 符合需求而要進行修整時，本發明能在真正進行修整之前先預作模擬，使設計者能預估積體電路經由修整之後可能的電氣特性，不會和預期產生太大的誤差，而使得積體電路要被重複的修整，浪費時間和成本。

因此本發明提供一種積體電路，可在積體電路測試系統中做模擬修整，此系統包括測試裝置及模擬裝置。而此



五、發明說明 (3)

在本發明的第二實施例中，積體電路進行模擬修整



五、發明說明 (4)



五、發明說明 (5)

求，而且不會有太大的誤差，可提高生產的良率。

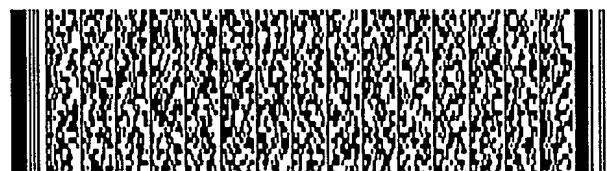
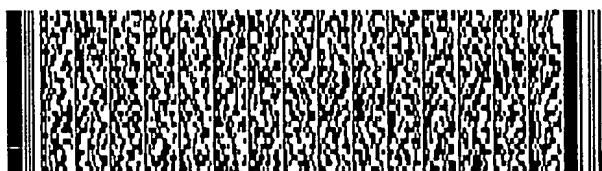
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

請參照第3圖，其繪示依照本發明第一實施例之具有模擬修整的積體電路(Integrated Circuit, IC)方塊圖。積體電路220，可在測試系統中做模擬修整，此系統包括測試裝置210及模擬裝置230。測試裝置210耦接至積體電路220及模擬裝置230。

積體電路220包括主要電路221、多工器222和修整電路223。多工器222的輸出端耦接至修整電路223及模擬裝置230，輸出端耦接至主要電路221，而選擇端sel接收一個選擇訊號，用以選擇與主要電路連接的裝置。修整電路223的內部具有可被修整的電路，用以調整並固定積體電路220的電氣特性。模擬裝置230則可以模擬修整電路223的動作並且送出模擬訊號，用以暫時性改變積體電路220的電氣特性。

請同時參照第5圖，其繪示依照本發明較佳實施例之模擬與修整積體電路的方法流程圖。當測試裝置210如第5圖之步驟S210所示，量測積體電路220的電氣特性時，會如第5圖之步驟S220所示，依照其電氣特性，例如原先希望輸出電壓為1.2V，結果最後量測出來的結果為1.25V，可用查表的方式得到修整參數。若是要進行模擬，則就會

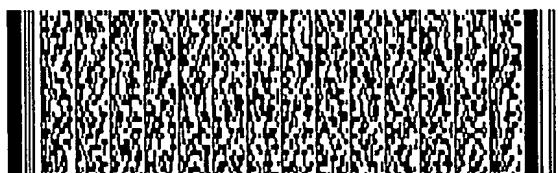


五、發明說明 (6)

進行如第5圖之步驟S240所示的模擬步驟。若是直接進行修整，則如第5圖之步驟S250所示，多工器222會連接主要電路221與修整電路223。然後如第5圖之步驟S260所示，會依據修整參數對修整電路223進行修整，例如加大電流或用雷射燒毀的方式，改變修整電路223的內部電路構造。最後如第5圖步驟S270所示，量測修整後的電氣特性，此時的電氣特性為固定值。

若是要模擬對積體電路220進行修整，則如第5圖之步驟S241所示，多工器222連接模擬裝置230與主要電路221。接下來如第5圖之步驟S242所示，模擬裝置230依據修整參數送出模擬訊號以暫時改變積體電路220之電氣特性。然後如第5圖之步驟S243所示，再次測量積體電路220之電氣特性。然後如第5圖之步驟S244所示，確定積體電路220的電氣特性是否符合要求。若是不符合，則如第5圖之步驟S245，依據電氣特性再調整修整參數，並跳至上述第5圖之步驟S242再重複一次。

請參照第4圖，其繪示依照本發明第二實施例之具有模擬修整的積體電路方塊圖。積體電路240包括主要電路241、多工器242、修整電路243以及模擬裝置244。多工器242，其輸入端耦接修整電路243和模擬裝置244，輸出端耦接至主要電路241，其選擇端sel則接收一個選擇訊號，用以選擇與主要電路241連接的裝置。修整電路243的內部是一個可被修整的電路，用以調整並固定積體電路240的電氣特性。模擬裝置244則是可以模擬修整電路243的動作

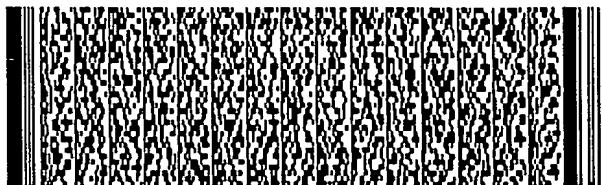


五、發明說明 (7)

並且送出模擬訊號，用以暫時性改變積體電路 240 的電氣特性。本實施例的運作方式如同第一實施例，在此不再贅述。

由以上兩個實施例可知，因為模擬器可以模擬修整電路的動作，並可送出模擬訊號以暫時改變積體電路的電氣特性，所以可預估修整後積體電路的電氣特性，因此不會造成太大的誤差，可提高生產的良率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係繪示習知的修整積體電路電氣特性的方塊圖。

第2圖係繪示習知的修整積體電路電氣特性方法的流程圖。

第3圖係繪示依照本發明第一實施例之具有模擬修整的積體電路方塊圖。

第4圖係繪示依照本發明第二實施例之具有模擬修整的積體電路方塊圖。

第5圖係繪示依照本發明較佳實施例之模擬與修整積體電路的方法流程圖。

圖式標記說明

110, 210 : 測試裝置

120, 220, 240 : 積體電路

121, 221, 241 : 主要電路

122, 223, 243 : 修整電路

222, 242 : 多工器

230, 244 : 模擬裝置

S101, S210 : 量測積體電路之電氣特性

S102, S220 : 依積體電路之電氣特性獲得修整參數

S103 : 依據其參數進行修整操作

S104, S270 : 量測修整後的積體電路電氣特性

S230 : 是否直接進行修整步驟

S240 : 模擬修整步驟

S241 : 多工器連接模擬裝置與主要電路



圖式簡單說明

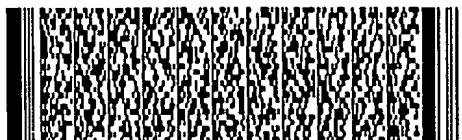
S242：模擬裝置根據修整參數送出模擬訊號以暫時改變積體電路之電氣特性

S243：測量積體電路之電氣特性

S244：積體電路之電氣特性是否符合要求

S245：依電氣特性調整修整參數

S260：依據參數對修整電路進行修整



六、申請專利範圍

1. 一種具有模擬修整的積體電路，包括：

一主要電路，為該積體電路之主要功能的電路；

一修整電路，具有可被修整的電路，用以調整並固定該積體電路的電氣特性；

一模擬裝置，可模擬該修整電路的動作並送出一模擬訊號，用以暫時性改變該積體電路之電氣特性；以及

一多工器，具有一輸出端、複數個輸入端以及一選擇端，該輸出端耦接至該主要電路，該些輸入端分別耦接至該修整電路以及該模擬裝置。

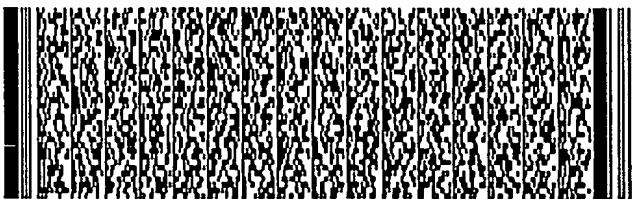
2. 如申請專利範圍第1項所述之具有模擬修整的積體電路，該多工器之該選擇端接收一選擇訊號，用以選擇該主要電路連接的裝置。

3. 如申請專利範圍第2項所述之具有模擬修整的積體電路，若進行模擬修整時，則該選擇訊號使該多工器連接該模擬裝置與該主要電路，該模擬裝置依據該積體電路之電氣特性送出該模擬訊號。

4. 如申請專利範圍第3項所述之具有模擬修整的積體電路，該模擬訊號送至該主要電路，會暫時改變該積體電路之電氣特性。

5. 如申請專利範圍第2項所述之具有模擬修整的積體電路，若需實際進行修整步驟，則該選擇訊號使該多工器連接該修整電路與該主要電路。

6. 如申請專利範圍第5項所述之具有模擬修整的積體電路，實際進行修整時，會依該積體電路之電氣特性對該



六、申請專利範圍

修整電路進行修整，修整後，該積體電路之電氣特性會完全固定。

7. 一種具有模擬修整的積體電路，可在一測試系統中做模擬修整，該測試系統包括一測試裝置及一模擬裝置，該積體電路包括：

一主要電路，耦接於該測試裝置，為該積體電路之主要功能的電路；

一修整電路，具有可被修整的電路，用以調整並固定該積體電路的電氣特性；以及

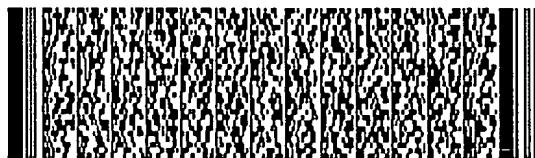
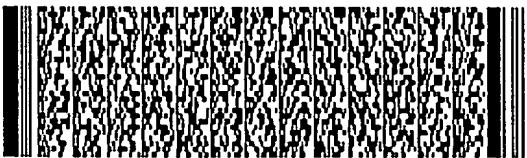
一多工器，具有一輸出端、複數個輸入端以及一選擇端，該輸出端耦接至該主要電路，該些輸入端分別耦接至該修整電路以及該模擬裝置。

8. 如申請專利範圍第7項所述之具有模擬修整的積體電路，該多工器之該選擇端接收一選擇訊號，用以選擇該主要電路連接的裝置。

9. 如申請專利範圍第8項所述之具有模擬修整的積體電路，若進行模擬修整時，則該選擇訊號使該多工器連接該模擬裝置與該主要電路。

10. 如申請專利範圍第9項所述之具有模擬修整的積體電路，在模擬修整時，該測試裝置量測該積體電路的電氣特性並得到一修整參數。

11. 如申請專利範圍第10項所述之具有模擬修整的積體電路，該模擬裝置依據該修整參數送出一模擬訊號至該主要電路，以暫時改變該積體電路的電氣特性。



六、申請專利範圍

12. 如申請專利範圍第8項所述之具有模擬修整的積體電路，若要直接進行修整，則該選擇訊號使該多工器連接該修整電路與該主要電路，可對該修整電路進行修整以改變並固定該積體電路的電氣特性。

13. 一種具有模擬修整的積體電路之模擬與修整方法，包括下列步驟：

量測該積體電路的電氣特性；

依照該積體電路的電氣特性，而得到一修整參數；

進行模擬修整，以調整該修整參數，而使該積體電路之電氣特性在一容許值內；以及

依據該修整參數進行修整操作。

14. 如申請專利範圍第13項所述之具有模擬修整的積體電路之模擬與修整方法，該積體電路具有一多工器、一修整電路和一主要電路，進行模擬修整的步驟包括：

多工器連接該主要電路與一模擬裝置；

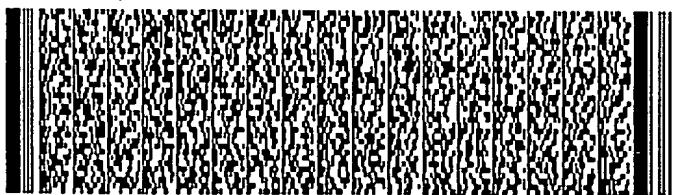
該模擬裝置依據該修整參數送出一模擬訊號；

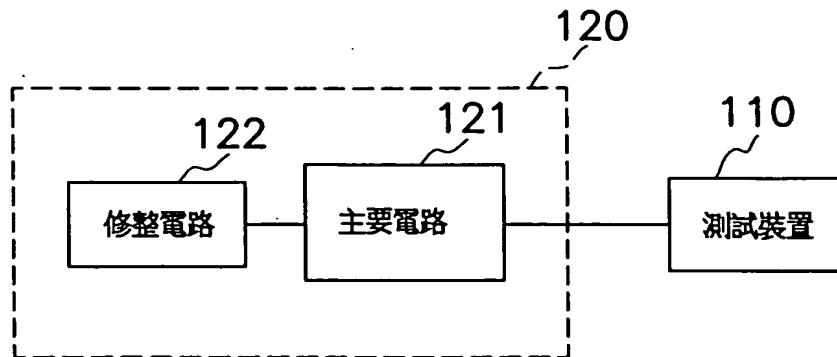
測量該積體電路之電氣特性；

確定該積體電路的電氣特性是否符合要求；以及

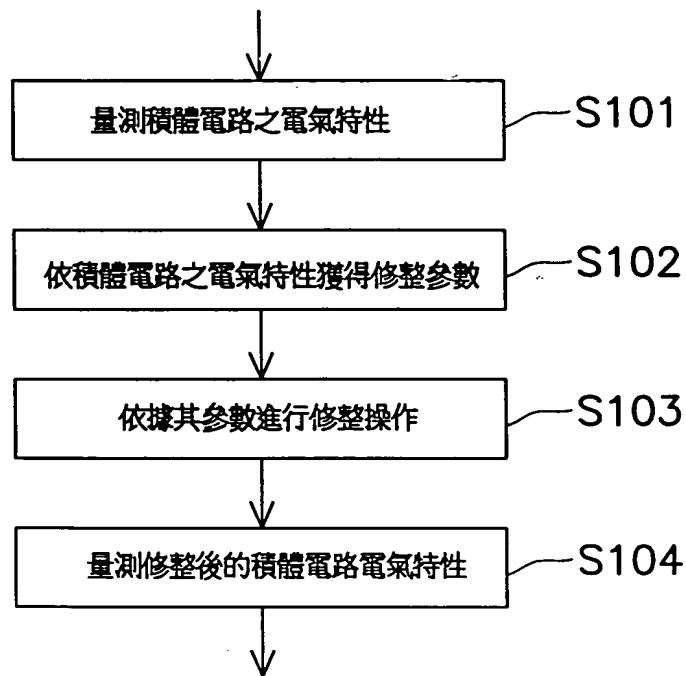
若是不符合，則依據電氣特性調整修整參數，並跳至該模擬裝置送出該模擬訊號之步驟。

15. 如申請專利範圍第13項所述之具有模擬修整的積體電路之模擬與修整方法，若不想進行模擬修整，可直接依照該修整參數對修整電路進行修整。

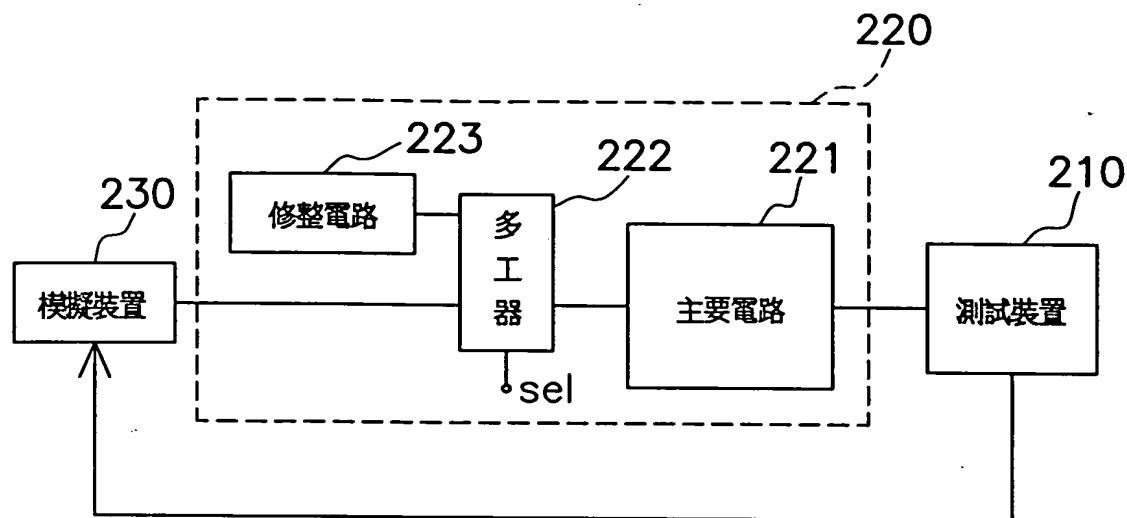




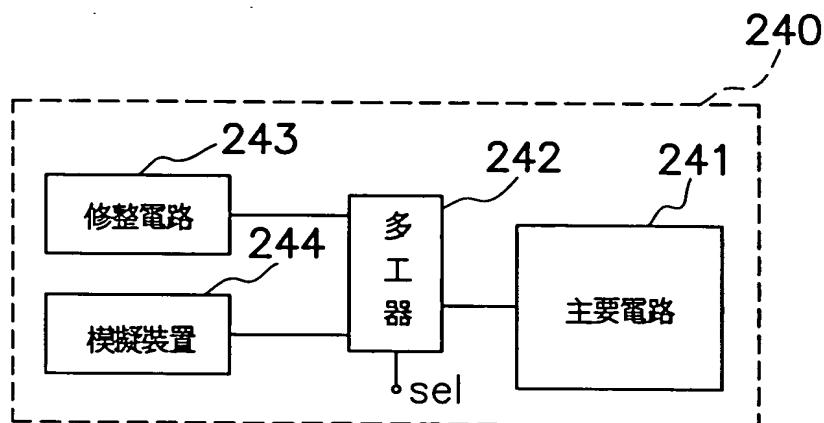
第 1 圖



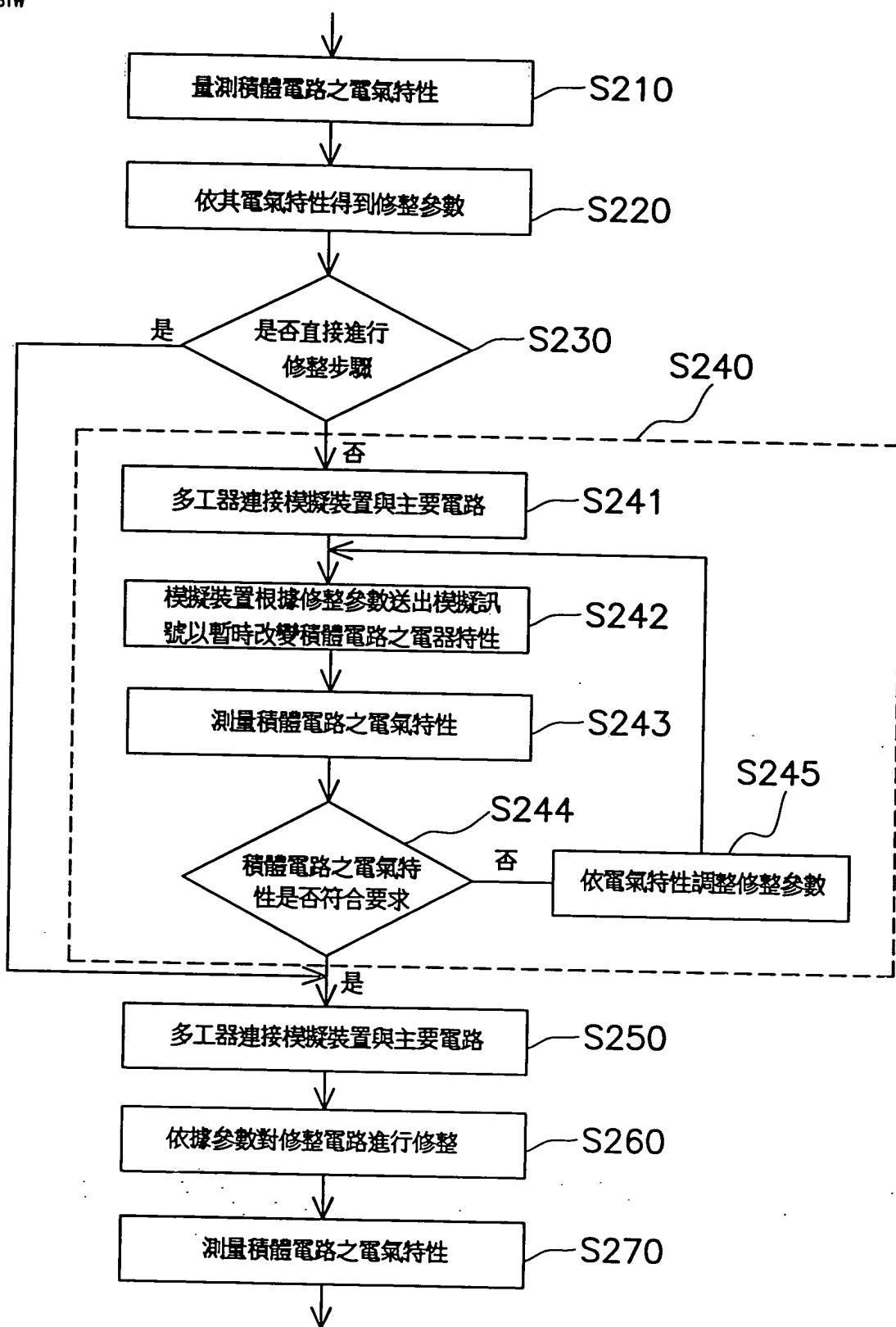
第 2 圖



第 3 圖

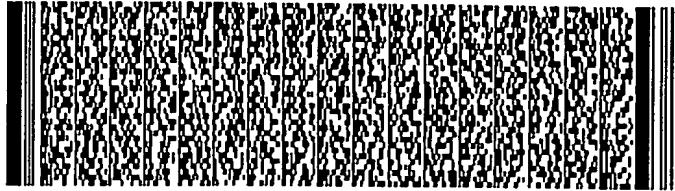


第 4 圖

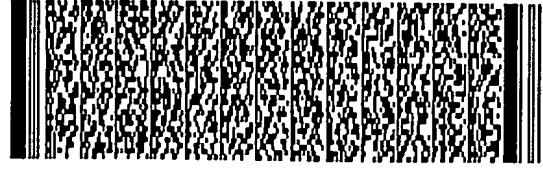


第 5 圖

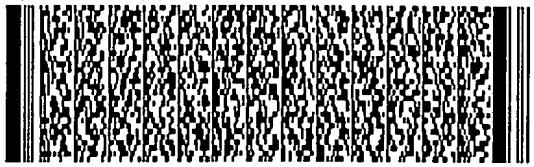
第 1/16 頁



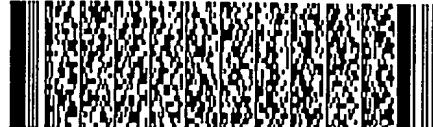
第 2/16 頁



第 2/16 頁



第 3/16 頁



第 4/16 頁



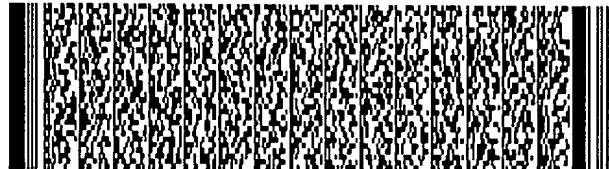
第 5/16 頁



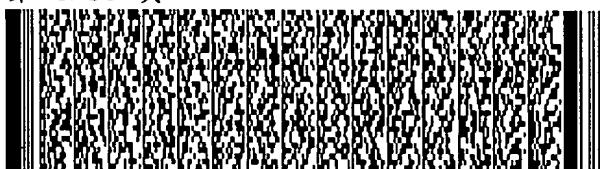
第 5/16 頁



第 6/16 頁



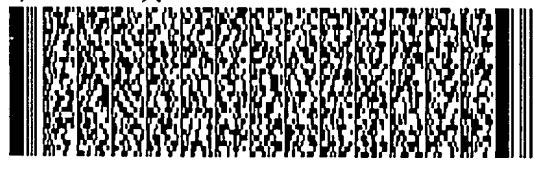
第 6/16 頁



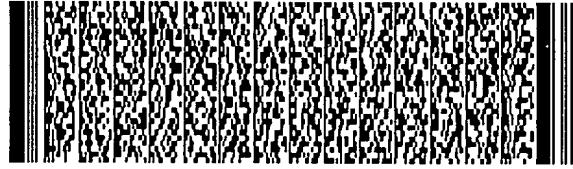
第 7/16 頁



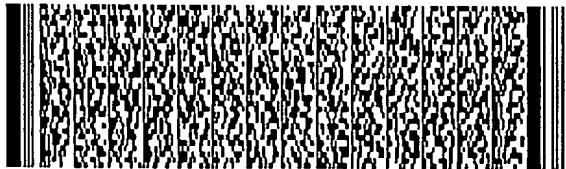
第 7/16 頁



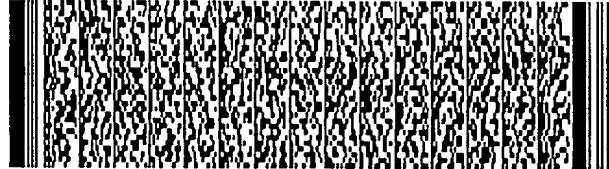
第 8/16 頁



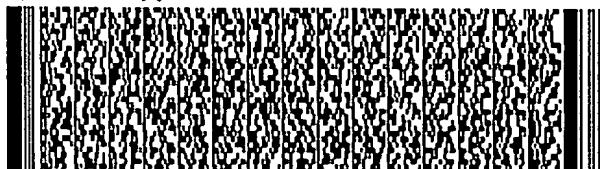
第 8/16 頁



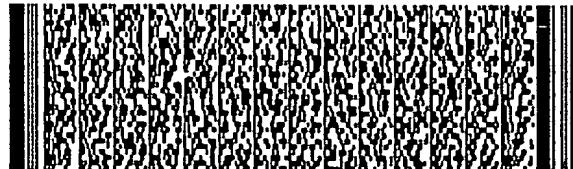
第 9/16 頁



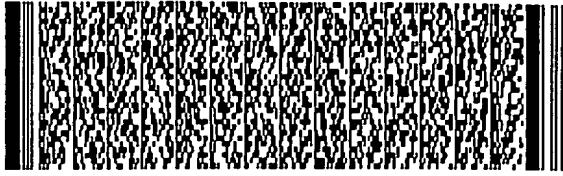
第 9/16 頁



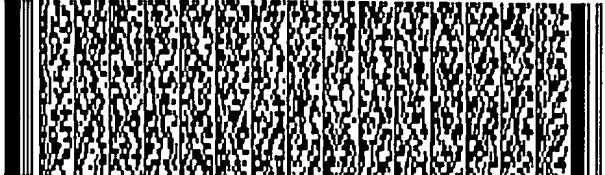
第 10/16 頁



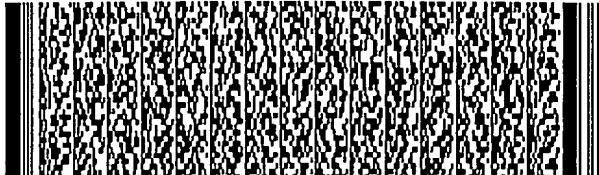
第 10/16 頁



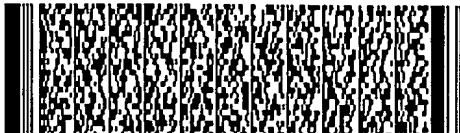
第 11/16 頁



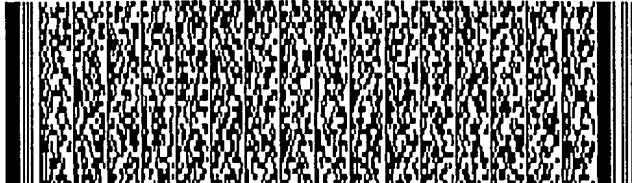
第 12/16 頁



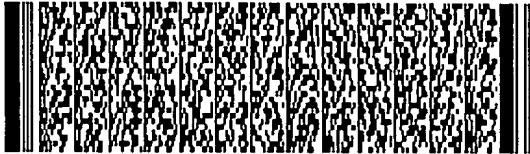
第 13/16 頁



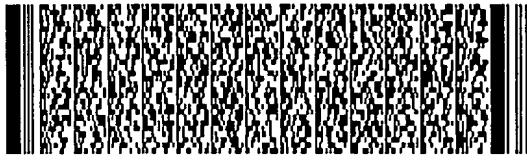
第 14/16 頁



第 15/16 頁



第 15/16 頁



第 16/16 頁

